

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0010

Applicant: Bong Soo KIM et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: METHOD FOR FORMING TRANSISTOR OF SEMICONDUCTOR
DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0087191 filed December 30, 2002

Respectfully submitted,

Date: June 30, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By



Johnny A. Kumar

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



26633

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0087191
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

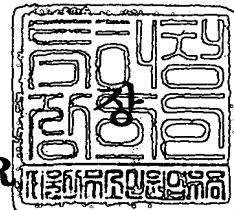
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0088
【제출일자】	2002. 12. 30
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 트랜지스터 형성 방법
【발명의 영문명칭】	A method for forming a transistor of a semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	김봉수
【성명의 영문표기】	KIM, Bong Soo
【주민등록번호】	721101-1037529
【우편번호】	143-222
【주소】	서울특별시 광진구 중곡2동 50-36
【국적】	KR
【발명자】	
【성명의 국문표기】	진승우
【성명의 영문표기】	JIN, Seung Woo
【주민등록번호】	670503-1167526
【우편번호】	467-850

【주소】 경기도 이천시 대월면 사동리 441-1 현대사원아파트
107-105
【국적】 KR
【발명자】
【성명의 국문표기】 조호진
【성명의 영문표기】 CH0, Ho Jin
【주민등록번호】 681122-1094636
【우편번호】 463-020
【주소】 경기도 성남시 분당구 이매동 141 아름마을 502동 304호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이후동 (인) 대리인
이정훈 (인)
【수수료】
【기본출원료】 13 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 8 항 365,000 원
【합계】 394,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 트랜지스터 형성방법에 관한 것으로,

780 ℃ 이상의 온도에서 열처리 공정에 의해 소오스/드레인 접합영역의 불순물이 아웃-디퓨전 되는 현상을 억제하기 위하여,

반도체 디램의 게이트전극 측벽에 형성되는 산화막의 공정 온도를 700 ℃ 이하로 낮추어 산화막을 증착함으로써 소오스/드레인 접합영역에 분포되어 있는 불순물을 기판의 표면 밖으로 아웃-디퓨전 되는 현상을 억제하여 셀의 전류량을 증가시키고 그에 따른 비트라인과 저장전극의 콘택저항을 감소시켜 소자의 특성 및 신뢰성을 향상시킬 수 있도록 하는 기술이다.

【대표도】

도 2

【명세서】

【발명의 명칭】

반도체소자의 트랜지스터 형성 방법 {A method for forming a transistor of a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1d는 본 발명의 실시예에 따른 반도체소자의 트랜지스터 형성 방법을 도시한 단면도.

도 2는 각기 다른 산화막 증착 온도 하에서 기판 표면으로부터의 깊이에 따른 불순물의 농도 변화를 도시한 그래프도.

<도면의 주요부분에 대한 부호 설명>

- 11 : 반도체기판 13 : 소자분리막
- 15 : 게이트산화막 17 : 게이트전극용 도전층
- 19 : 하드마스크층 21 : 게이트전극
- 23 : 주입되는 불순물
- 25 : 소오스/드레인 접합영역, 불순물 접합영역
- 27 : 산화막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 소자의 트랜지스터 형성 방법에 관한 것으로, 특히 반도체소자의 고집적화에 따라 수반되는 자기정렬적인 콘택 공정을 위하여 게이트전극의 측벽에 절연막 스페이서를 질화막으로 형성하였으나, 하부층과의 스트레스 (stress)로 인하여 하부층과의 계면에 버퍼층인 산화막을 증착하고 후속공정으로 트랜지스터를 완성하는 기술에 관한 것이다.
- <11> 디램 메모리 소자는 하나의 트랜지스터와 하나의 캐패시터로 단위 셀이 구비된다.
- <12> 따라서, 트랜지스터의 특성은 소자의 특성을 좌우하는 중요한 요소이다.
- <13> 현재, 반도체 디램은 게이트전극의 측벽에 질화막 스페이서를 형성하여 셀 콘택 플러그 형성을 위한 콘택 식각의 마진을 확보하기 위한 자기정렬적인 콘택 공정을 진행한다.
- <14> 그러나, 질화막이 반도체기판에 직접 증착되면 질화막의 스트레스에 의해 리프레쉬 특성이 악화되는 결과를 초래하게 되어 완충층(buffer layer)으로 산화막인 HTO(high temperature oxide)을 증착하였다.
- <15> 그러나, 상기 HTO 는 공정온도가 780 ℃ 온도에 달하는 비교적 고온 공정에 해당하는 산화막으로서, 증착공정시 엔형 불순물의 블랭킷 이온 주입 공정에 의해 소오스/드레인 접합영역에 분포된 불순물이 기판 표면 상향으로 아웃-디퓨전(out-diffusion)되는 현상이 증가되는 결과를 초래한다.

- <16> 상기한 아웃-디퓨전 현상 증가는 실리콘 벌크, 즉 반도체기판에 함유된 불순물 도
즈량을 감소시켜 셀 라이트 타임 지연(cell write time delay)에 영향을 미치는 셀 전류
량을 감소, 비트라인과 저장전극의 콘택 저항을 증가시켜 소자의 폐일을 증가시키는 현
상을 유발한다.
- <17> 도시되지 않았으나, 종래기술에 따른 반도체소자의 트랜지스터 형성방법을 설명하
면 다음과 같다.
- <18> 먼저, 반도체기판에 활성영역을 정의하는 트렌치형 소자분리막을 형성한다.
- <19> 전체표면상부에 게이트산화막, 게이트전극용 도전층 및 하드마스크층을 적층한다.
- <20> 게이트전극 마스크를 이용한 사진식각공정으로 상기 적층구조를 식각하여 게이트전
극을 형성한다.
- <21> 상기 게이트전극을 마스크로 하여 상기 반도체기판에 불순물을 이온주입한다.
- <22> 상기 반도체기판을 포함한 전체표면상부에 HTO 산화막을 형성한다. 이때, 상기 HTO
산화막은 780 ℃ 이상의 온도에서 형성한다. 이때, 상기 반도체기판에 주입된 불순물이
아웃-디퓨전된다.
- <23> 상기 전체표면상부에 질화막을 일정두께 증착하고 이를 이방성식각하여 상기 게이
트전극 측벽에 질화막 스페이서를 형성한다.
- <24> 상기한 바와 같이 종래기술에 따른 반도체소자의 트랜지스터 형성방법은, 게이트전
극 측벽에 형성하는 질화막 스페이서와 하부층과의 스트레스를 완화하기 위하여 증착하
는 산화막의 증착공정시 높은 증착 온도로 인하여 반도체기판에 주입된 불순물이 아웃-
디퓨전되어 후속공정으로 형성되는 비트라인과 저장전극의 콘택 저항을 증가시키고 그에

따른 소자의 특성 및 신뢰성을 저하시켜 반도체소자의 고집적화를 어렵게 하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명은 이러한 종래기술의 문제점을 해결하기 위하여, 질화막 증착공정 전에 형성하는 완충층의 증착온도를 낮추어 실시함으로써 소자의 특성 열화를 최소화시켜 소자의 특성 및 신뢰성을 향상시킬 수 있는 반도체소자의 트랜지스터 형성방법을 제공하는 것을 그 목적으로 한다.

【발명의 구성 및 작용】

- <26> 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 트랜지스터 형성방법은
- <27> 반도체기판 상에 게이트전극을 형성하는 공정과,
- <28> 상기 게이트전극을 마스크로 하여 상기 반도체기판에 불순물을 이온주입하여 소오스/드레인 접합영역을 형성하는 공정과,
- <29> 전체표면상부에 완충층인 산화막을 700 °C 이하의 온도에서 형성하고 후속공정으로 상기 게이트전극 측벽에 질화막 스페이서를 형성하는 공정을 포함하는 것과,
- <30> 상기 이온주입 공정은 인($_{31}\text{P}$)을 소오스로 하여 10 ~ 35 KeV 의 이온주입 에너지로 $1.0\text{E}12(\text{ions}/\text{cm}^2) \sim 5.0\text{E}13(\text{ions}/\text{cm}^2)$ 의 도즈량을 이온주입하는 것과,
- <31> 상기 이온주입 공정은 비소($_{75}\text{As}$)를 소오스로 하여 15 ~ 70 KeV 의 이온주입 에너지로 $1.0\text{E}12(\text{ions}/\text{cm}^2) \sim 5.0\text{E}13(\text{ions}/\text{cm}^2)$ 의 도즈량을 이온주입하는 것과,

- <32> 상기 이온 주입 공정은 매엽식(single type)장비를 이용하여 웨이퍼 틸트 및 로테이션없이 실시하는 것과,
- <33> 상기 이온 주입 공정은 매엽식 장비를 이용하여 웨이퍼 틸트(tilt)를 1도로 하고 2회 또는 4회 로테이션을 실시하되,
- <34> 상기 2회 로테이션(bi-rotation)시 이온주입 공정은 전체 도즈량의 1/2 을 두 번에 나누어 이온주입하거나
- <35> 상기 4회 로테이션(bi-rotation)시 이온주입 공정은 전체 도즈량의 1/4 을 네 번에 나누어 이온주입하는 것과,
- <36> 상기 산화막은 CVD(chemical vapor deposition) 또는 PVD(physical vapor deposition) 방법으로 형성하는 것과,
- <37> 상기 산화막은 600 °C 미만의 온도에서 CVD 또는 PVD 방법으로 형성하고 질소가스 분위기의 600 ~ 700 °C 온도에서 열처리하여 형성하되,
- <38> 상기 열처리 공정은 RTP(rapid thermal processing) 방법으로 1 ~ 5 분 정도의 시간동안 실시하거나 퍼니스(furnace)에서 1 분 ~ 6 시간 동안 실시하는 것을 특징으로 한다.
- <39> 한편, 본 발명의 원리는,
- <40> 반도체 디램의 게이트전극 측벽에 형성되는 산화막의 증착 온도를 700 °C 이하로 낮추어 실시함으로써 소오스/드레인에 분포되어 있는 불순물을 기판의 표면 밖으로 아웃-디퓨전 되는 현상을 억제하여 셀의 전류량을 증가시키고 그에 따른 비트라인과 저장전극의 콘택저항을 감소시켜 소자의 특성 및 신뢰성을 향상시킬 수 있도록 하는 것이다.

- <41> 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하면 다음과 같다.
- <42> 도 1a 내지 도 1d는 본 발명의 실시예에 따른 반도체소자의 트랜지스터 형성 방법을 도시한 단면도이다.
- <43> 도 1a를 참조하면, 반도체기판(11) 활성영역을 정의하는 트렌치형 소자분리막(13)을 형성한다.
- <44> 전체표면상부에 게이트산화막(15), 게이트전극용 도전층(17) 및 하드마스크층(19)을 적층한다. 이때, 상기 게이트전극용 도전층(17)은 다결정실리콘, 폴리사이드 또는 금속으로 형성할 수 있다.
- <45> 게이트전극 마스크를 이용한 사진식각공정으로 상기 적층구조를 식각하여 게이트전극(21)을 형성한다.
- <46> 도 1b 및 도 1c를 참조하면, 상기 게이트전극(21)을 마스크로 하여 상기 반도체기판(11)에 불순물(23)을 이온주입 함으로써 소오스/드레인 접합영역(25)을 형성한다.
- <47> 이때, 상기 이온주입 공정은 상기 불순물(23)의 소오스로 인($_{31}\text{P}$)이나 비소($_{75}\text{As}$)를 사용한다. 상기 인을 사용하는 경우는 10 ~ 35 KeV의 이온주입 에너지를 이용하여 $1.0\text{E}12(\text{ions}/\text{cm}^2) \sim 5.0\text{E}13(\text{ions}/\text{cm}^2)$ 의 도즈량을 주입한다. 상기 비소를 사용하는 경우는 15 ~ 70 KeV의 이온주입 에너지를 이용하여 $1.0\text{E}12(\text{ions}/\text{cm}^2) \sim 5.0\text{E}13(\text{ions}/\text{cm}^2)$ 의 도즈량을 주입한다.
- <48> 상기 이온 주입 공정은 매엽식(single type)장비를 이용하여 웨이퍼 틸트 및 로테이션없이 실시하거나, 웨이퍼 틸트를 1도로 하고 2회 또는 4회 로테이션을 실시할 수 있다. 여기서, 상기 2회 로테이션(bi-rotation)은 전체 도즈량의 1/2을 두 번에 나누

어 이온주입하고, 상기 4회 로테이션(quadruple-rotation)은 전체 도즈량의 1/4를 네 번에 나누어 이온주입하는 것이다.

<49> 도 1d를 참조하면, 전체표면상부에 완충층인 산화막(27)을 형성한다.

<50> 상기 산화막(27)은 CVD 또는 PVD 방법으로 형성하되, 700 °C 이하의 온도에서 형성한다.

<51> 상기 산화막(27)을 600 °C 미만의 온도에서 CVD 또는 PVD 방법으로 형성하는 경우는 질소가스 분위기의 600 ~ 700 °C 온도에서 열처리한다. 이때, 상기 열처리 공정은 RTP 방법으로 1 ~ 5 분 정도의 시간동안 실시하거나 퍼니스(furnace)에서 1 분 ~ 6 시간 동안 실시한다.

【발명의 효과】

<52> 이상에서 설명한 바와 같이, 본 발명에 따른 반도체소자의 트랜지스터 형성방법은, 게이트전극 측벽에 질화막 스페이서 형성 전에 형성하는 완충층인 산화막의 증착공정을 종래보다 낮게 하여 형성함으로써 소자의 특성 열화를 방지하여 반도체소자의 특성 및 신뢰성을 향상시킬 수 있는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

반도체기판 상에 게이트전극을 형성하는 공정과,

상기 게이트전극을 마스크로 하여 상기 반도체기판에 불순물을 이온주입하여 소오스/드레인 접합영역을 형성하는 공정과,

전체표면상부에 완충층인 산화막을 700 °C 이하의 온도에서 형성하고 후속공정으로 상기 게이트전극 측벽에 질화막 스페이서를 형성하는 공정을 포함하는 반도체소자의 트랜지스터 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 이온주입 공정은 인($_{31}\text{P}$)을 소오스로 하여 10 ~ 35 KeV 의 이온주입 에너지로 $1.0\text{E}12(\text{ions}/\text{cm}^2) \sim 5.0\text{E}13(\text{ions}/\text{cm}^2)$ 의 도즈량을 이온주입하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

【청구항 3】

제 1 항에 있어서,

상기 이온주입 공정은 비소($_{75}\text{As}$)를 소오스로 하여 15 ~ 70 KeV 의 이온주입 에너지로 $1.0\text{E}12(\text{ions}/\text{cm}^2) \sim 5.0\text{E}13(\text{ions}/\text{cm}^2)$ 의 도즈량을 이온주입하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

【청구항 4】

제 1 항에 있어서,

상기 이온 주입 공정은 매엽식(single type)장비를 이용하여 웨이퍼 틸트 및 로테이션없이 실시하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

【청구항 5】

제 1 항에 있어서,

상기 이온 주입 공정은 매엽식 장비를 이용하여 웨이퍼 틸트를 1도로 하고 2회 또는 4회 로테이션을 실시하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

【청구항 6】

제 1 항에 있어서,

상기 산화막은 CVD 또는 PVD 방법으로 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

【청구항 7】

제 1 항에 있어서,

상기 산화막은 600 ℃ 미만의 온도에서 CVD 또는 PVD 방법으로 형성하고 질소가스 분위기의 600 ~ 700 ℃ 온도에서 열처리하여 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

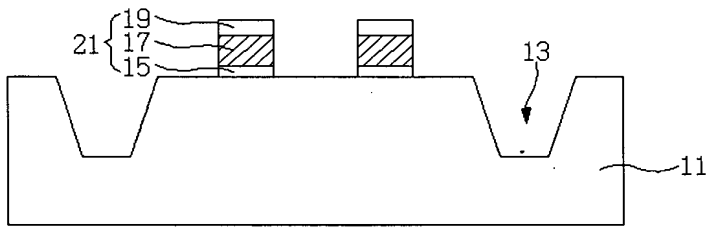
【청구항 8】

제 7 항에 있어서,

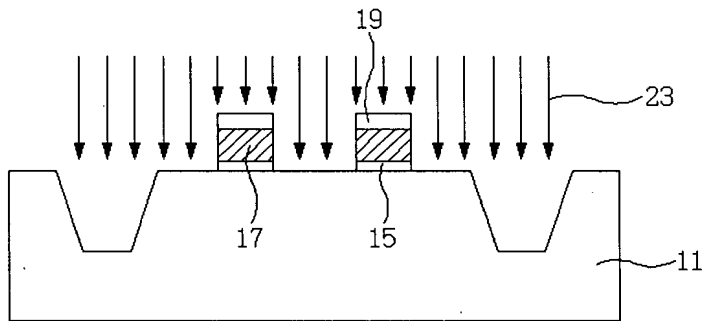
상기 열처리 공정은 RTP 방법으로 1 ~ 5 분 정도의 시간동안 실시하거나 퍼니스(furnace)에서 1 분 ~ 6 시간 동안 실시하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

【도면】

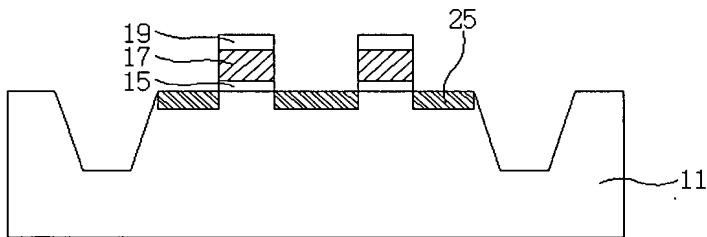
【도 1a】



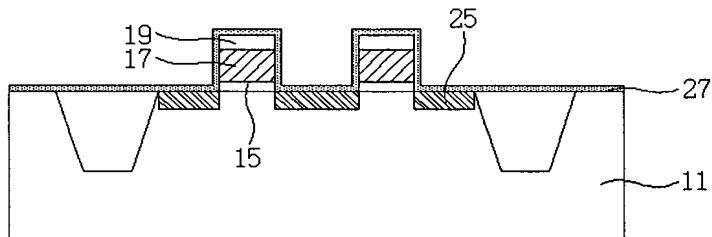
【도 1b】



【도 1c】



【도 1d】



【도 2】

